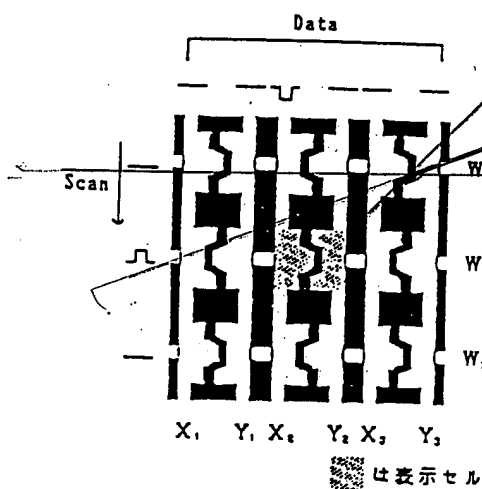


図7 メモリ係数の周波数依存性

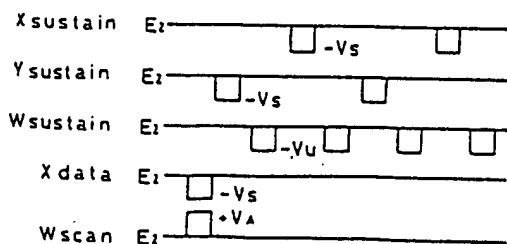
4. キャラクタ選択用駆動回路の設計

4.1. 三相駆動法におけるキャラクタ選択

今回234×234セルに対応可能な、三相駆動法によるセル選択表示用ドライバを設計製作した。三相駆動法を用いて書き込み選択を行うには、図8に示す様に上部X電極を列電極、下部W電極を行電極とし、行電極に正の電圧の書き込みパルス(+Vs)を順々に加わるように走査し、その走査された行上の選択したいセルのX電極に負の電圧のデータパルス(-Vs)として印加し選択セルを点灯させる。その後選択したセルのX・Y電極に-Vs、W電極に-Vuの維持パルスを印加し続けることによって表示状態が維持される。



キャラクタ選択の模式図



三相駆動法によるキャラクタ選択駆動波形

図8

4.2. 概要

図9は駆動回路のブロック図である。クロックで発生させたパルスを同期カウンタに入力し、その出力を3つのROMのアドレスに入力する。ここでROM1にはキャラクタ表示用のデータを入力し、ROM2、3には各電極に印加する維持パルス及びデータパルス及び書き込みパルスを印加するタイミングを決める情報を入力しておく。それぞれのデータを各電極のシフトレジスタ、ラッチ、ドライバに入力し、最終段の高耐圧CMOSで増幅する。表示ドライバICには主にシフトレジスタ・ラッチ・高耐圧CMOSドライバで構成される出力40ビットの日本電気のμPD16305GFを用いた。図10に示すICのブロック図の入力端子は上から順に、極性反転入力、出力ブランク入力、ラッチイネーブル入力、RIGHTデータ入出力、クロック入力、シフトコントロール入力(A→B or B→A)、LEFTデータ入出力、クリア入力端子となっている。

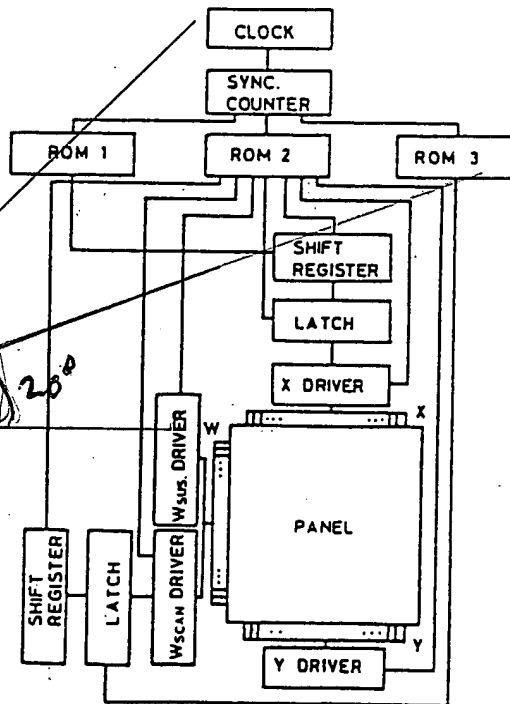


図9 駆動回路のブロック図

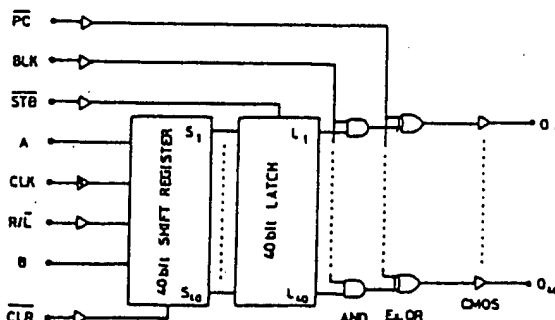


図10 表示ドライバICのブロック図